

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 06-205301

(43)Date of publication of application : 22.07.1994

(51)Int.Cl.

H04N 5/335

(21)Application number : 04-361631

(71)Applicant : CANON INC

(22)Date of filing : 28.12.1992

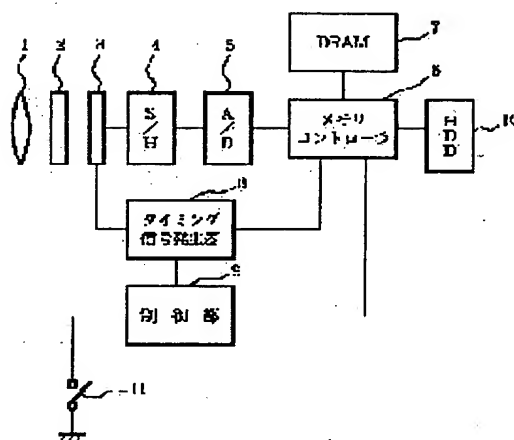
(72)Inventor : FUKUSHIMA NOBUO

## (54) PICTURE INPUT DEVICE

## (57)Abstract:

**PURPOSE:** To obtain an excellent picture in which the unevenness of the picture due to a storage time difference of a solid-state image pickup element is not remarkable by refreshing a DRAM when several lines of picture are read from the solid-state image pickup element so as not to stop reading from the solid-state image pickup element on the way of the picture.

**CONSTITUTION:** When data are not read from a solid-state image pickup element 3, a signal VGATE specifying a timing of start of read in the vertical direction and a signal HGATE specifying a timing of start of read in the horizontal direction are both at an L level. When a refresh request coming periodically from a refresh counter 114 goes to a high level, a DRAM signal generator 207 generates a refresh signal. Then a gate 201 goes to an L level while the HGATE is at an L level, and a refresh request signal generating counter 208 generates a refresh request signal. Thus, a DRAM 7 is refreshed when several lines of data are read from the element 3 to make the unevenness of the picture due to a storage time difference of a solid-state image pickup element unremarkable without stop of reading on the way of the picture.



## LEGAL STATUS

[Date of request for examination] 23.10.1996

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number] 2817107

[Date of registration] 21.08.1998

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開平6-205301

(43)公開日 平成 6 年(1994) 7 月22日

(51)Int.Cl.<sup>5</sup>

H 0 4 N 5/335

識別記号

P

庁内整理番号

F I

技術表示箇所

審査請求 未請求 請求項の数 5 (全 18 頁)

(21)出願番号 特願平4-361631

(22)出願日 平成 4 年(1992)12月28日

(71)出願人 000001007

キヤノン株式会社

東京都大田区下丸子 3 丁目30番 2 号

(72)発明者 福島 信男

東京都大田区下丸子 3 丁目30番 2 号 キヤ  
ノン株式会社内

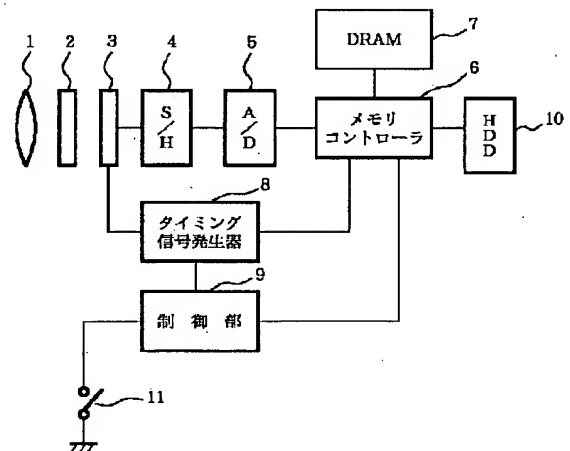
(74)代理人 弁理士 渡部 敏彦

(54)【発明の名称】 画像入力装置

(57)【要約】 (修正有)

【目的】 固体撮像素子の蓄積時間差によるむらが目立たない良好な画像が得られ、且つ高輝度部の色抑圧などの再生処理が簡単に実現でき、しかもメモリ容量を有効に活用できる画像入力装置を提供する。

【構成】 固体撮像素子からの読み出し中には、その水平方向の読み出しに同期してDRAMのリフレッシュ動作を水平方向の読み出し信号の休止期間に所定回数行うための第2のリフレッシュ信号発生手段を有効とし、該固体撮像素子からの読み出し中以外には、所定時間間隔で前記DRAMのリフレッシュを行う第1のリフレッシュ信号発生手段と、第1のリフレッシュ信号発生手段を有効とするものである。



## 【特許請求の範囲】

【請求項1】 光学的画像を入力して電氣的信号に変換する固体撮像素子と、リフレッシュ動作をメモリチップの外部からコントロールさせる必要のある汎用DRAMを少なくとも1チップ以上で構成された画像メモリと、前記固体撮像素子からの読み出しタイミングを発生させるタイミング信号発生装置と、前記固体撮像素子からの水平方向の読み出しを、タイミング信号発生装置からの水平方向の読み出しタイミング信号に同期して行い前記DRAMに転送記憶させる転送記憶制御手段と、前記固体撮像素子から読みださないときに、所定時間間隔で前記DRAMのリフレッシュを行う第1のリフレッシュ信号発生手段と、前記DRAMのリフレッシュ動作を前記水平方向の読み出し信号の休止期間に所定回数行うための第2のリフレッシュ信号発生手段とを有する画像入力装置において、

前記固体撮像素子からの読み出し中には、その水平方向の読み出しに同期して前記第2のリフレッシュ信号発生手段を有効とし、該固体撮像素子からの読み出し中以外には、前記第1のリフレッシュ信号発生手段を有効とすることを特徴とする画像入力装置。

【請求項2】 光学的画像を入力して電氣的信号に変換する固体撮像素子と、前記固体撮像素子からの出力データをA/D変換して、その出力を記憶する記憶媒体と、前記固体撮像素子上の第1の像をA/D変換した出力を該記憶媒体の第1の所定領域に記憶する手段と、前記固体撮像素子上の第2の像をA/D変換した出力を該記憶媒体の第2の所定領域に記憶する手段と、該記憶媒体の第2の記憶領域の内容に第1の所定値を加算し、その加算結果から第1の記憶領域の内容を減算し、減算結果を記憶媒体の第2の領域に記憶する演算記憶手段とを備え、前記第2の像を蓄積した固体撮像素子の任意の画素のA/D変換出力値が第1の所定範囲である場合には、記憶媒体上の前記画素に対応する記憶領域に第2の所定値を記憶し、

前記加算結果の値が第2の所定範囲の値のとき、前記加算結果を第3の所定値で置き換える共に、前記減算結果の値が第3の所定範囲の値のとき、前記加算結果を第4の所定値で置き換えることを特徴とする画像入力装置。

【請求項3】 光学的画像を入力して電氣的信号に変換する固体撮像素子と、前記固体撮像素子からの出力データを蓄積するメモリと、前記メモリへのデータ書き込み用の第1、第2、第3及び第4のアドレスをそれぞれ設定するための第1、第2、第3及び第4レジスタと、前記第1のアドレスの内容に初期設定される第1のカウンタ手段と、前記第1のカウンタの内容と前記第2のレジスタの内容を比較する第1の比較手段と、前記第3のアドレスの内

容に初期設定される第3のカウンタ手段と、前記第2のカウンタの内容と前記第4のレジスタの内容を比較する第2の比較手段と、前記第1のカウンタ手段の内容と第2のカウンタ手段の内容とを選択して、何れか一方の内容をメモリに出力するアドレス選択手段と、前記メモリの動作を制御するメモリ制御回路とを備えたことを特徴とする画像入力システム。

【請求項4】 前記第1のアドレスはメモリへの書き込み開始点アドレス、第2のアドレスは書き込み終了点アドレスであり、第3のアドレスはメモリからの読み出し開始点アドレス、第4のアドレスは読み出し終了点アドレスであり、前記第1の比較手段または第2の比較手段の出力により固体撮像素子からのデータの取り込みを停止することを特徴とする請求項3記載の画像入力装置。

【請求項5】 前記メモリのデータを内容を記憶する第2の記憶手段と、メモリ上の任意の領域に連続的にアクセスする手段と、メモリの任意の領域の、且つ、固体撮像素子の1画面分よりも少ない容量のデータを前記第2の記憶手段にブロック転送する手段とを設け、1つのブロック転送と次のブロック転送の合間に前記固体撮像素子からメモリに転送することを特徴とする請求項4記載の画像入力装置。

## 【発明の詳細な説明】

## 【0001】

【産業上の利用分野】本発明は、画像情報を電子的に記録するように構成した電子カメラ等の画像入力装置に関し、特にDRAMに固体撮像素子の出力データを記憶させるメモリ制御システムにおける画像入力装置に関する。

## 【0002】

【従来の技術】従来、通常のテレビ方式（NTSC、PAL）に対応した電子カメラなどでは、固体撮像素子のデータを記憶させるメモリは、アクセスの高速性などの理由により、SRAMが用いられることが多い。このSRAMは容量が少なく、高価であるので、せいぜい画像1枚分の記憶容量しか、カメラ本体に内蔵できない欠点があるものの、書き込み、読み出しなどの制御が簡単でアクセスも早く、さらに、カメラ内部で扱うデータ容量が、先に述べたように少ないので、データの転送に要する時間も比較的短時間で処理が可能であった。したがって、メモリへの書き込み、読み出しの実行やそれに伴うメモリアドレスの管理などの制御はマイクロプロセッサなどで直接行なうことができ、特別なメモリ制御システムは必要ではなかった。しかし、近年のHDTV（高精細テレビ）用途などでは、画像1枚あたりの画素データが多くなるにともない、メモリも大容量にする必要があり、その書き込み、読み出し、転送などの処理もより高速に行わねばならない。このような大容量のデータを必要とする電子カメラには、コストと実装面積とのかねあ

いから、汎用のDRAMメモリを使うのが望ましい（従来例1）。

【0003】また、従来の電子カメラでは、固体撮像素子の雑音を抑圧するため、映像信号のないときの信号を映像信号出力から減ずることに依って、固定された（毎回同じ様なパターンとなって出力される）雑音を軽減する方法が提案されている。

【0004】ところで、一般にカラー画像用の固体撮像素子は、その表面に複色（RGB、やYMC）のカラーフィルタがモザイク状やストライプ状に貼られていて、各フィルタに対応した数画素の出力の組み合わせで色を表現する。したがって、画素出力が飽和してしまうと、その画素の周辺は色を正しく再生できない。しかし、一般の被写体を撮影すると、明るすぎて固体撮像素子上の画面の一部又は全ての画素の出力が飽和することがある。

【0005】そこで、従来は、画素の出力がある値よりも大きければ、その画素は飽和している判断し、再生時は信号処理でその周辺部の色のゲイン（GAIN）を低くするなどして、偽色の発生を抑えていた（従来例2）。

【0006】

【発明が解決しようとする課題】しかしながら、メモリにDRAMを用いた場合（従来例1）は、DRAMのリフレッシュ動作のために固体撮像素子からの読み出しを一時的（リフレッシュ周期）に停止させる必要があり、そのために固体撮像素子の、電荷の蓄積から読み出しまでの時間が、停止時間だけ長くなり暗電流が多く発生し、素子上でノイズの斑が生じていた。そこで、DRAMの代わりにリフレッシュ動作が不要なSRAM（Static RAM）を用いるものもあるが、このSRAMを用いた場合は、SRAMが高価なため、コストが上昇したり、メモリ容量を少なくしなければならないなどの問題があった。

【0007】さらに、RAMは、制御が複雑で、処理速度もSRAMの比べて遅い。（記憶内容を保持するためには、リフレッシュ動作を必要とし、また、アドレスの設定や書き込み、読み出しのタイミング条件が厳しく、アクセスタイムが遅い。）、したがって、これらDRAMを固体撮像素子やその他周辺装置と関連させて適切に制御するシステムが必要であった。

【0008】また、従来例2では、固体撮像素子のノイズを低減させるために、従来の様に、被写体の撮影データから、固体撮像素子の暗電流を減ずると、暗電流分は各画素で様ではないので、減算の結果、元々飽和していた画素のレベルが下がってしまい、飽和していない画素としている画素の判別ができなくなってしまう。したがって、高輝度部分の偽色の抑圧処理が困難になるという問題があった。

【0009】さらに、暗電流分を減ずることによる問題もあった。即ち、一般に記録されたデータを画像として

再生する場合に、フィルタ処理を通して高域のノイズ成分を低減させている。この場合、後述する図14（b）のような暗電流ノイズがある場合を想定する。ここで、横軸は、水平方向の位置を示し、縦軸は、振幅を示している。この場合、原データ（a）から（b）の暗電流を引いた場合その減算結果は、（c）のようになる。これをフィルタに通すと（d）のようになり、ノイズが取りきれないという問題があった。

【0010】本発明は上記従来の問題点に鑑み、固体撮像素子の蓄積時間差によるむらが目立たない良好な画像が得られ、且つ高輝度部の色抑圧などの再生処理が簡単に実現でき、しかもメモリ容量を有効に活用できる画像入力装置を提供することを目的とする。

【0011】

【課題を解決するための手段】上記目的を達成するために第1の発明は、光学的画像を入力して電氣的信号に変換する固体撮像素子と、リフレッシュ動作をメモリチップの外部からコントロールさせる必要のある汎用DRAMを少なくとも1チップ以上で構成された画像メモリと、前記固体撮像素子からの読み出しタイミングを発生させるタイミング信号発生装置と、前記固体撮像素子からの水平方向の読み出しを、タイミング信号発生装置からの水平方向の読み出しタイミング信号に同期して行い前記DRAMに転送記憶させる転送記憶制御手段と、前記固体撮像素子から読みださないときに、所定時間間隔で前記DRAMのリフレッシュを行う第1のリフレッシュ信号発生手段と、前記DRAMのリフレッシュ動作を前記水平方向の読み出し信号の休止期間に所定回数行うための第2のリフレッシュ信号発生手段とを有する画像入力装置において、前記固体撮像素子からの読み出し中には、その水平方向の読み出しに同期して前記第2のリフレッシュ信号発生手段を有効とし、該固体撮像素子からの読み出し中以外には、前記第1のリフレッシュ信号発生手段を有効とするようにしたものである。

【0012】第2の発明では、光学的画像を入力して電氣的信号に変換する固体撮像素子と、前記固体撮像素子からの出力データをA/D変換して、その出力を記憶する記憶媒体と、前記固体撮像素子上の第1の像をA/D変換した出力を該記憶媒体の第1の所定領域に記憶する手段と、前記固体撮像素子上の第2の像をA/D変換した出力を該記憶媒体の第2の所定領域に記憶する手段と、該記憶媒体の第2の記憶領域の内容に第1の所定値を加算し、その加算結果から第1の記憶領域の内容を減算し、減算結果を記憶媒体の第2の領域に記憶する演算記憶手段とを備え、前記第2の像を蓄積した固体撮像素子の任意の画素のA/D変換出力値が第1の所定範囲である場合には、記憶媒体上の前記画素に対応する記憶領域に第2の所定値を記憶し、前記加算結果の値が第2の所定範囲の値のとき、前記加算結果を第3の所定値で置き換える共に、前記減算結果の値が第3の所定範囲の値

のとき、前記加算結果を第4の所定値で置き換えるようにしたものである。

【0013】第3の発明では、光学的画像を入力して電気的信号に変換する固体撮像素子と、前記固体撮像素子からの出力データを蓄積するメモリと、前記メモリへのデータ書き込み用の第1、第2、第3及び第4のアドレスをそれぞれ設定するための第1、第2、第3及び第4レジスタと、前記第1のアドレスの内容に初期設定される第1のカウンス手段と、前記第1のカウンスの内容と前記第2のレジスタの内容を比較する第1の比較手段と、前記第3のアドレスの内容に初期設定される第3のカウンス手段と、前記第2のカウンスの内容と前記第4のレジスタの内容を比較する第2の比較手段と、前記第1のカウンス手段の内容と第2のカウンス手段の内容とを選択して、何れか一方の内容をメモリに出力するアドレス選択手段と、前記メモリの動作を制御するメモリ制御回路とを備えたものである。

【0014】第4の発明は、前記第1のアドレスはメモリへの書き込み開始点アドレス、第2のアドレスは書き込み終了点アドレスであり、第3のアドレスはメモリからの読み出し開始点アドレス、第4のアドレスは読み出し終了点アドレスであり、前記第1の比較手段または第2の比較手段の出力により固体撮像素子からのデータの取り込みを停止するようにしたものである。

【0015】第5の発明は、前記メモリのデータを内容を記憶する第2の記憶手段と、メモリ上の任意の領域に連続的にアクセスする手段と、メモリの任意の領域の、且つ、固体撮像素子の1画面分よりも少ない容量のデータを前記第2の記憶手段にブロック転送する手段とを設け、1つのブロック転送と次のブロック転送の合間に前記固体撮像素子からメモリに転送するようにしたものである。

【0016】

【作用】上記構成により第1の発明によれば、DRAMのリフレッシュ動作は、前期水平方向の読み出し信号の休止期間（例えば水平ブランキング期間）に行う。これにより、画像の途中で固体撮像素子の読み出しが停止しない。

【0017】第2の発明によれば、第1の像（例えば被写体像）に対応した第2の像（例えば暗電流パタン）を蓄積した固体撮像素子の任意の画素のA/D変換出力値が第1の所定範囲である場合には、記憶媒体上の前記画素に対応する記憶領域に第2の所定値を記憶し、記憶媒体の第2の記憶領域の内容に第1の所定値を加算した値が第2の所定範囲の値のとき、その加算結果を第3の所定値で置き換える。さらに、該加算結果から第1の記憶領域の内容を減算した値が第3の所定範囲の値のとき、前記加算結果を第4の所定値で置き換える。これにより、暗電流画像にノイズが入った場合にもノイズ分が相殺されて、原画像に悪影響を与えずに暗電流を減算でき

る。

【0018】第3乃至第5の発明によれば、専用のメモリコントローラをカメラ内に設け、該コントローラ内に、前記メモリ上のアドレスを設定するための少なくとも4つのレジスタを設け、さらに書き込みや読み出しのための各種シーケンサを内部に構成したので、DRAMを固体撮像素子やその他周辺装置と関連させて適切に制御することができる。

【0019】

【実施例】以下、図面を参照して本発明の実施例を説明する。

【0020】図1は、本発明に係る画像入力装置（電子カメラ）の第1実施例の概略構成を示すブロック図である。

【0021】図中1は撮像レンズ、2は絞り及びシャッター等の光量制御部材、3はCCD等の固体撮像素子、4は固体撮像素子の出力をサンプルして保持するサンプルホールド回路、5はA/D変換回路、6はDRAMのリフレッシュ動作、書き込み、読み出しなどを制御するためのメモリコントローラ、7はDRAM、8は固体撮像素子を駆動するためのタイミング信号やサンプルホールドパルス、A/D変換パルスを発生するためのタイミング信号発生器、9は撮影シーケンス等システムを制御するためのマイクロコントローラ、10はハードディスクなどの記憶媒体、11は記録トリガスイッチである。

【0022】次に、カメラの撮影に伴う画像データの流れを説明する。

【0023】まず、撮影レンズ1を通った被写体像は固体撮像素子3に投影され、この時、制御部9が光量制御部材2を制御することで適正な露光が行われる。

【0024】固体撮像素子3に蓄積された画像データは、タイミング信号発生回路8から出力されるタイミング信号に同期して順次読みだされる。そして、サンプルホールド回路4でサンプリング、ホールドされA/D変換器5でデジタル値に変換される。A/D変換されたデータはメモリコントローラ6の制御によりDRAM7に記憶され、DRAM7に記憶された画像データは、制御部9が所定のタイミングで読み出しハードディスク10に転送されて一連のデータの流れが終了する。次に、本発明であるところのA/D変換されたデータをメモリコントローラ6の制御によりDRAM7に記憶する部分について詳細に説明する。

【0025】図2及び図3は、図1中のメモリコントローラ6のブロック図である。

【0026】図中125はシステムバスで図1の制御部9に接続され、制御部9はこのバスを通してメモリコントローラとコマンドやデータのやり取りをする。また、図中101、102、103、104はDRAMのアドレスを指定するためのDRAMアドレスレジスタであ

る。特に101、102はDRAMからのデータの読み出しをする場合のREADアドレス設定用である。103、104はDRAMへのデータの書き込みをする場合のWRITEアドレス設定用である。

【0027】ここで、図中101、103は後述の始点アドレスを設定するためのもので、102、104は終点アドレスを設定するためのものであるさらに、105、107はDRAMへのアクセスのためのアドレスを更新させるためのカウンタ、106、108は現在アクセスしているアドレスが終点アドレスに到達したかどうかを比較判断するための比較器、109はDRAMのリフレッシュサイクル設定用のレジスタ、114はそのリフレッシュサイクルを計数するためのカウンタ、110はメモリコントローラへの制御部9からのコマンドを受け取るためのレジスタ、115はそのコマンドの種類を解釈するコマンドインタープリタ、111はDRAMに、任意なデータを書く場合に書き込みデータを保持するWRITEデータレジスタ、112はDRAMから、読み込んだデータを制御部へ渡すためのREADデータレジスタ、113はDRAMに記憶されたデータに補正を加えたりする場合の補正定数データを記憶する定数レジスタ、117はDRAMへの書き込みデータや読み込みデータを貯えるレジスタ、118は補正值を計算するための演算部、119はDRAMからのデータを入力するためのバッファ、120はDRAMへデータを書き込むためのバッファ、121はDRAMからのデータ(40ビット)を並べ替えてハードディスクインターフェースのバス幅(16ビット)に合わせるためのデータ幅変換器、122はハードディスク10とのデータ、コマンドの受け渡しをするハードディスクインターフェース、123はA/D変換器からのデータを保持しメモリコントローラ内部とタイミングを合わせるためのADデータレジスタで、こここの部分はCLK2というクロックでラッチされる。図2及び図3では示していないがメモリコントローラ全体はCLK1というクロックのタイミングで動作している。124はDRAMとのデータの読み書きするためのデータバスでここでは40ビット幅としている。116はメモリコントローラ内部のコントローラで外部からの受け付けたコマンドの実行タイミング管理したり、データの受け渡しを管理するコントロール部である。126、127はA/D変換器からのデータの取り込みのためのトリガ信号である。特に126は、固体撮像素子上の垂直方向の読み出し開始タイミングを規定するための信号でここではVGATEと呼ぶ。同様に127は水平方向の読み出し開始タイミングを規定するための信号でここではHGATEと呼ぶ。128はコマンドインタープリタ115の出力ライン群である。

【0028】129はリフレッシュカウンタから出力されたリフレッシュ要求信号である。130はDRAMへのアドレスバッファであり、コントローラ116からの

選択、信号により、カウンタ105、または107の内容をDRAMに対して出力する。

【0029】次に、以上のように構成される本実施例の、固体撮像素子からのデータをDRAMに記憶する動作について詳細に説明する。

【0030】まず、予めDRAM上の書き込みアドレスは、図2のアドレスレジスタ103及び104に設定されているものとする。次に、コマンドレジスタ110に固体撮像素子からの読み出しコマンド(ここでは仮にPAGE WR MODEと言う)を書き込む。そして、図1に示したタイミング信号発生器8から、VGATE、HGATE信号が固体撮像素子からの読み出しに同期して出力される。これを図4及び図5で説明する。

【0031】図4は先に説明したVGATEとHGATEのタイミングの概念図である。

【0032】ここでは、VGATEが高レベルのとき、固体撮像素子からデータが読みだされる。さらに、HGATEが低レベルのときはデータ読み出しは停止する。そしてHGATEがLOWからHIに立ち上がってから次にLOWになるまでの間で固体撮像素子の水平方向が所定ライン分読みだされる。これを図5で説明すると図4のHGATEのaからbは図5のaからbまでの読み出しに相当する。cからdも同様である。本発明であるところのDRAMのリフレッシュ動作は、このHGATEがLOWのときに行うものである。

【0033】続いて、このリフレッシュを行うタイミング制御について図6を用いて説明する。

【0034】図6は、図2で116のコントローラの内部に含まれるものである。ただし、コントローラ116の全体を説明するものではなく、本発明に直接関係のあるリフレッシュ動作のタイミング制御部分についてのみ表したものである。また、126、127はそれぞれ上述したVGATEとHGATE信号である。128は、図2のコマンドインタープリタ115の出力のうちの1つで、固体撮像素子からDRAMへの書き込みを行うモードを示す信号で、ここでは仮にPAGE WR MODE(ページライトモード)と呼ぶ。

【0035】また、200、201はNANDゲート、202、203、204、205はINVERTERゲート、206はNORゲート、207はRAS209、CAS210、/W211などのDRAMへの各種信号を発生させるDRAM信号発生器、208はPAGE WR MODE時のリフレッシュ要求信号発生カウンタ、209はDRAMへのロウアドレスストロブ、210はDRAMへのキャスアドレスストロブ、211はDRAMへのライトストロブ、212は通常時のリフレッシュ要求信号、213はPAGE WR MODE時のリフレッシュ要求信号、214はリフレッシュ実行信号である。

【0036】次に、図6の回路の動作を説明する。

【0037】まず、固体撮像素子からデータを読み出していない時は、先に説明した様にVGATE、HGATE共にLOWレベルである。この時は、図2のリフレッシュカウンタ114により定期的にリフレッシュ要求がHiになる。したがってNANDゲート200も定期的にLowを出力しさらにNORゲート206を通じてDRAM信号発生器207にリフレッシュ実行信号が定期的に入力される。これによりDRAM信号発生器207はリフレッシュ信号を発生させる。

【0038】ここでのリフレッシュ動作は例えばCAS BEFORE RAS方式でよい。

【0039】また、DRAM信号発生器は、リフレッシュ実行信号214を受けて1回のCAS BEFORE RAS信号を出力するよう構成したシーケンサである。

【0040】次に、固体撮像素子からデータを読み出している時について説明する。先に説明した様に固体撮像素子からデータを読み出している時はVGATE、HGATEは図4のようになる。VGATEがHiになるため前記の通常のリフレッシュ要求信号(SRFREQ212)は、NANDゲート200によりRFREQ信号129が禁止されるため発生しなくなる。

【0041】一方で、HGATEがLowである期間(図4でbc間など)はゲート201がLowになる。したがってPAGE WR MODE時のリフレッシュ要求信号発生カウンタ208が、図4のPRFREQの様に所定回数分のリフレッシュ要求信号を発生させる。

(図4ではHGATEがLowの期間に2回)。こうして固体撮像素子からデータを読み出している時はHGATEがLowの期間にリフレッシュ動作が実行される。

【0042】上記第1実施例ではリフレッシュ回数HGATEがLOWの期間に2回であったが、この回数はDRAMの種類と固体撮像素子が何ライン分の素子を有し、それをどれぐらいの時間で読み出すかによる。

【0043】例えばDRAMの仕様でリフレッシュ周期が4096cycle/64ミリ秒、つまり4096/64=64000(cycle/秒)。そしてリフレッシュ方式はCAS BEFORE RASリフレッシュを行う場合。また、固体撮像素子は1024X1024画素で1行の読み出し時間が100マイクロ秒とする。この場合1行読み出し(100マイクロ秒)当たりの最小CYCLE数は6.4CYCLEだから、少なくとも7CYCLE行えばよい。また当然のことながら水平読み出し停止期間は、少なくともリフレッシュを7回行うのに十分な時間に設定する。また、実施例では説明を省いたがDRAMへの書き込みは高速ページモードなどで行えばよい。

【0044】さらに他の種類のDRAMや固体撮像素子にも対応できるように、リフレッシュサイクルは変えられる様にしておいてもよい。通常のリフレッシュのサイ

クルは、図2のカウンタ114のカウント周期を変えればよいから、リフレッシュサイクルレジスタ109に所望のサイクルのデータを書き込めばよい。

【0045】同様に固体撮像素子からの読み出し時は図6のカウンタ208をPRESETABLEにすればよい。そうすれば任意の回数のPRFREQ(リフレッシュ要求信号)を出力できるから、HGATEがLowの期間のリフレッシュ回数を可変できる。また、これまで固体撮像素子から1ラインずつ読み出すことを前提に説明してきたが、これは説明を簡単にするためで実際は数ラインずつ読み出しても良い。この場合は、固体撮像素子の出力が数本あつての前段に切り替えスイッチを設けA/Dを1本にしてもよい。あるいは、複数本のままメモリに書き込んでもよい。いずれの場合も本発明の主旨に影響しない。

【0046】次に、本発明に係る画像入力装置の第2の実施例を説明する。

【0047】本実施例は、上記第1実施例における図1及び図2と同様の構成を成す。但し、DRAMは図7に示すような構成を仮定する。

【0048】すなわち、16Mbit X4構成のチップが10個で、アドレスバス、RAS、CAS、その他不図示の/W、/OEは共通に各チップに接続される。

【0049】またデータは各チップ独立に接続され、40ビットのデータバスで一度に書き込まれる。

【0050】次に、DRAMに記憶するアドレスについて説明する。

【0051】まず、予めDRAM上の書き込みアドレスを設定する。

【0052】アドレス空間は図8に示すようにRowが00Hから1000H、CASも00Hから400Hの16M WORD(ここでは1WORD=10BITとしている)とする。

【0053】そして、1画面分の画像データを図8Aに示す領域に格納する。

【0054】したがってにRowアドレスの開始は00H、終了は200H、Casアドレスの開始は00H、終了も200Hとする。

【0055】これらのアドレスを上記図2のアドレスレジスタ103及び104に設定しておく。ここで、さらにもう1枚画像を取り込みたければ、アドレスの指定を先の図8のAに重ならない範囲、例えば図8でBの範囲を指定して、露光しDRAMへ転送すればよい。ここでは、Aに被写体像を、Bに暗電流分を記憶するものとする。

【0056】固体撮像素子からのデータの読み出しについては上記第1実施例と同様である。DRAMのリフレッシュ動作も、上記第1実施例と同様に、HGATEがLOWのときに行うようにコントロールされる。

【0057】次に、DRAMに記憶する動作について説



明する。

【0058】ここで固体撮像素子から読みだされるデータは、1画素を10bitで量子化するものとする。したがってA/Dも10ビットでこれが2チャンネルあるとする。

【0059】以下、図9を用いて説明する。

【0060】固体撮像素子からは302のCLK2と同じ転送速度で（但し位相はCLK2とは同じでなくてもよい）1チャンネル当たり1画素づつデータが出力されている。図9では、300は2チャンネルのうちの一方のA/D出力で、301はもう一方のA/D出力である。

【0061】これらはA/Dレジスタ123にCLK2（302）のクロックタイミングに同期して順にラッチされ、まずDATA00（304）とDATA01（305）、次にDATA10と11、以下DATA20、21、……と続く。

【0062】A/Dレジスタ123のデータ304は、さらに304のCLK1をクロックとしてRAMバッファ117に309のbに示したタイミングでラッチされる。その出力は、306に示す。一方A/Dレジスタ123のデータ305は、同じく304のCLK1をクロックとしてRAMバッファ117に309のdに示したタイミングでラッチされる。この出力は、307に示す。ここでRAMバッファは、40BIT分のデータをラッチできるものとする。

【0063】したがって、RAMバッファ117では、4画素分のデータ（40ビット）が記憶されている。これを309のeのタイミングで出力バッファ120へ転送され、DRAMに書き込まれる。このとき図2のコントローラ116の制御により、アドレスカウンタ107の内容が更新され、DRAMへの書き込みアドレスも更新されていく。そして、アドレスカウンタ107の値がアドレス終点レジスタの内容に一致すると、比較器108から一致信号がコントローラ116に伝えられ、これにより、DRAMへの書き込みモードが終了する。

【0064】ここで、さらにもう1枚画像を取り込みたければ、アドレスの指定を先の図4のAに重ならない範囲、例えばBの範囲を指定して、露光しDRAMへ転送すればよい。

【0065】そして、このようにしてDRAMに記憶されたデータをハードディスクなどの記憶媒体に転送する場合について、説明する。（但し、この部分は、本発明とは、直接関係はないので簡単に詳しい説明は省く。）この場合は、DRAMからの読み出しであるから、アドレスの指定は、レジスタ101に読み出し始点先頭アドレス、レジスタ102に読み出し終点アドレスを指定する。

【0066】ここでは、先に記憶したAの領域のみを指定して画像1枚分だけ転送してもよいし、Bの領域を含めて1度に2枚分を転送することもできる。A、B両方

のデータを転送する場合は、レジスタ101にRow 00h、Cas 00h、レジスタ102にRow 400h、Cas 200hを設定する。そして、コマンドレジスタ110にハードディスクへの転送モードを設定すればよい。

【0067】ハードディスクは一般に16ビットのデータバスであるので（AT-BUSインターフェース）DRAMから読み出したデータは、ビット幅変換部121でデータ幅の変換をおこなう。そのために、ビット幅変換器121では、DRAMから40ビットずつ2回読み込まれたRAM バッファのデータを貯えて80ビットとし、これを16ビットずつ5回にわけて、HDD 1/F122へ出力する。この時も、アドレスカウンタ105は更新され続ける。

【0068】これらの動作をくり返し、アドレスカウンタ105の内容がレジスタ102に一致したところで、コンパレータ106からの信号がコントローラ116へ伝わり、ハードディスクへの書き込みモードは終了する。

【0069】では、本実施例の動作について図10及び図11のフローチャートを用いて説明する。

【0070】S1で撮影トリガーの有無を図1のスイッチ11により調べる。

【0071】押されていれば（ONであれば）、S2でメモリに1画面分の撮影に十分な空き容量があるか調べる。

【0072】空きがあれば、S3で、1画面分のデータのアドレス領域を設定する。（例えば図8のAの部分）。そして、S4で、撮影動作（シャッターを制御して固体撮像素子に電荷を蓄積させる）を行い、S5にて、撮像素子のデータをメモリに転送する。S6では、被写体像を記録したことを一時的に覚えておくために、“撮影済みフラグ”をセットする。

【0073】そして、S1へ戻り、撮影トリガーがなければ、S7で撮影済みフラグを調べ、セットされていれば、S8からS12の暗電流記録と減算処理を行う。まずS8では、S6でセットした撮影済みフラグをクリアする。S9では、先の撮影データと重ならない領域（例えば図8Bの部分）に新たにアドレスを設定し、S10では、シャッターを閉じたまま固体撮像素子に電荷を蓄積し、S11で、蓄積したデータをメモリに転送する。S12で被写体像データから暗電流データを減算し、その結果を再び、メモリに記憶させる。この部分については、あとでさらに詳しく説明する。

【0074】S13では、メモリに未転送データが残っているか調べ、残っていれば、S14で所定の容量のデータ分のアドレスを設定する（図8のAの部分の途中まで、例えばRAS100h、Cas200hまでに設定する。）。S8では、所定量のデータをメモリから、ハードディスクへ転送しS1に戻り、次に撮影トリガーが

OFFであれば、S7へ進む。

【0075】S7では、フラグは先のS8でクリアされているので、S13へ進み、S13では、まだ全てのデータを送り終えていないので、S14にて、先に転送した部分の続き(RAS101h、CAS00h)からアドレスを設定する。S15でハードディスクに転送し、S1に戻る。その後、S1、S7、S13、S14、S15の順でデータを全て転送し終わると、1枚分の記録が終了する。

【0076】その他、各判断部(S1、S2、S7、S13)で、前述と異なる方に判断が進んだ場合についてのフローチャートの説明は、繁雑になるのでここでは省く。以上のように、図10及び図11のフローチャートのようなシーケンスを制御部9で行えば、被写体像を撮影し、メモリに記憶し、その後、暗電流分を減算し、その結果をハードディスクに転送するという動作が実現できることになる。

【0077】ではここで、図11のS12の処理について、詳しく説明する。図12は、図3のレジスタ117と演算部118、さらにその周辺部の詳細なブロック図である。破線で囲んだ117は、図3のレジスタ117に相当し、同じく破線で囲んだ118は演算部118に相当する。その他113、119、120、123も第2図の同一の番号に相当する。515はバッファ、514はバッファ515に対する入力データセクタで、A/Dレジスタ出力123、RAMからの入力バッファ119の出力、RAMバスのデータ124の何れかを選択して、バッファ515に出力する。516はバッファ515からの出力データセクタで、バッファ115の出力データを、RAMへの出力バッファ120、またはRAMバス124のいずれかに出力する。517は、データセクタ514の入力を選択するための選択信号で第2図のコントロール部116により制御される。

【0078】518は、データセクタ516の出力を選択するための選択信号で同様にコントロール部116に制御される。500は加算器で、定数レジスタ113のデータとRAMバス124のデータを加算して、データバス501に出力する。510は、RAMバス124の内容を保持するラッチ、506は、ラッチ510の出力バス、502は、減算器で、加算結果501とラッチ510の差を演算し、バス503に出力する。504は、加算及び減算の結果が負であった時、Hiレベルとなるマイナスフラグ信号、505は、加算及び減算の結果がOVERFLOWがあった時、HiレベルとなるOVERFLOWフラグ信号、507は、所定値を保持しておくためのレジスタ、511は、比較演算器で、RAMバスのデータとレジスタ507に保持されたデータを比較して、所定値以上であれば、BRIGHT信号508をHiレベルにする。

【0079】509は、ORゲート、512は、ORゲ

ート出力、513は、加減算結果を保持するラッチで、ORゲート出力がHiのとき、ラッチの内容が所定値(例えば3FF[HEX])にセットされる。また、マイナスフラグ504がHiのときは、ラッチの内容は零にクリアされる。

【0080】次に、図13は、演算処理の動作を示すフローチャートで以下の動作を、主に図2の制御部116が行う。

【0081】まず、S21で原画データと暗電流データの格納してあるメモリアドレスの領域を設定する。ここでX\_ADDRESS、X\_ENDには、暗電流データの格納アドレス、すなわち図8のB領域の始点アドレス、終点アドレスをそれぞれ設定する。これを第2図で説明するとXS101に始点アドレス、XE102に終点アドレスを設定することになる。

【0082】同様にY\_ADDRESS、Y\_ENDには、原画データの格納アドレス、すなわち図8のA領域の始点アドレス、終点アドレスそれぞれ設定する。これを第2図で説明するとYS103に始点アドレス、YE104に終点アドレスを設定することになる。

【0083】S22では、暗電流データをX\_ADDRESSから読み出して(DK\_DT)、図12の510のラッチに保持しこれをX\_DTとする。この時、図2の制御部116が図12の選択信号517、518を制御し、セクタ514では入力バッファ119を選択し、セクタ516では出力にRAMバッファ124が選択される。

【0084】S23では、原画データをY\_ADDRESSから読み出して(I\_DT)、RAMバス124に出力され、S24では、加算器500により、RAMバス上の原画データ(Y\_DT)とレジスタ113に保持された定数が加算されバス501に出力される。そして、減算器502が、バス510のデータから、ラッチ510の暗電流データ(DK\_DT)を減算して、バス503に出力する。この演算結果はラッチ513に保持される。この時、演算結果が零以下であれば、マイナスフラグ504がHiになり、ラッチ513は零にクリアされる。

【0085】あるいは、演算結果、OVERFLOWが発生し、OVERFLOWフラグ505がHiになるか、原画データが所定値でBRIGHT信号508がHiになれば、ORゲート509出力512がHiになりラッチ513は所定値(3FF)にセットされる。

【0086】次に、S25では、図2の制御部116が図12の選択信号517、518を制御し、セクタ514ではRAMバス124を選択し、セクタ516では出力バッファ124が選択される。そしてラッチ513のデータをメモリ上のY\_ADDRESSに書き戻す。即ち、メモリ上のY\_ADDRESSの原画データは、暗電流分を減算したデータで書き替わったことになる。

【0087】S26では、メモリ上の次のアドレスのデータを演算するために、原画データアドレス(Y\_ADDRESS)と暗電流アドレス(X\_ADDRESS)の値を増加(INCREMENT)させる。そして、S27では、増加させたアドレスの値が、図8のA領域の終点(A\_END)に等しくなければ、S22に戻り、更新されたアドレスのデータに対して同様の演算処理を行う。S27でX\_ADDRESSがA\_ENDに等しくなれば、1画面分の全ての画素に対する演算が終了したことになる。

【0088】以上説明した動作を、図14の暗電流画にノイズが入った場合に於てはめて考えると以下のようになる。原画データ(a)に所定定数をまず加算するから、(a)の原画は、(e)のようオフセットされる。これから(b)のようなノイズを引くと(f)になる。したがってこれをLOWパスフィルタを通した後は、ノイズ分が相殺されて、(g)のように元の原画データ分だけが残ることとなる。前記例では、原画データの記憶してあったメモリ領域に、暗電流データを減算した後のデータを書き戻したが、これは、別の領域に書き込むようにしてもよい。その場合は、図2の101から104各アドレスレジスタXS, XE, YS, YEのに加えて、ZS, ZEのアドレスレジスタを設ければよい。そして、このZS, ZEに減算後のデータを記憶するアドレス領域の始点、終点アドレスを設定すれば良い。これに伴い、図13の動作でアドレスの指定、更新ももう一組分追加すれば良い。

【0089】前記例では、固体撮像素子の画素データを10ビットで量子化するものとして構成したが、これは何ビットでも良くそのシステムに最適なビット数にしてよい。その場合は、各部のデータバス幅を変えれば良く、本発明の主旨は、前記実施例と同様に実現できる。また、暗電流は、被写体像を撮影する前にメモリに記憶させておいても良い。さらに、連写モードなどで、連続して撮影する場合には、連写終了後に、暗電流を記憶してもよい。いずれにしてもシステム上最適なタイミングで暗電流を記憶すればよい。

【0090】続いて、本発明の第3実施例を説明する。

【0091】本実施例は、図1、図2及び図3に示す上記実施例と同様の構成を成し、本実施例の特徴とする部分は、図15に示すフローチャートにある。

【0092】すなわち、一度に数枚分のデータをハードディスクに転送すると、転送が終了するまで新しく固体撮像素子からデータを取り込めなくなる。そこで、ハードディスクへの転送は、所定量のデータづつ行えばよい。その例として、1枚撮影後、すぐに2枚目を撮影する場合について、図15で説明する。

【0093】S31で撮影トリガーの有無を図1のスイッチ11により調べ、押されているば(ONであれば)、S32でメモリに1画面分の撮影に十分な空き容

量があるか調べる。空きがあれば、S33で、1画面分のデータのアドレス領域を設定する(例えば図8のAの部分)。そして、S34で、撮影動作(シャッターや絞りを制御して固体撮像素子に電荷を蓄積させる)を行い、S35にて、撮像素子のデータをメモリに転送する。その後、再びS31に戻り、撮影トリガーONで、メモリに空きがあれば、撮影動作(S33)を行い、S34では先の撮影データと重ならない領域(例えば図8Bの部分)に新たにアドレスを設定し、S35で撮影されたデータを記憶する。ここでメモリが一杯になるとS32からS36へ移る。あるいは、撮影トリガーがOFFになれば、S31からS36へ移る。

【0094】S36では、メモリに未転送データが残っているか調べ、残っていれば、S37で所定の容量のデータ分のアドレスを設定する(図8のAの部分の途中まで、例えばRAS100h, Cas200hまでに設定する)。S38では、所定量のデータをメモリから、ハードディスクへ転送する。そして、再びS31に戻り、撮影トリガーONで、メモリに空きがあれば、撮影動作(S33)、S34で新たにアドレスを設定し、S35で撮影されたデータを記憶する。

【0095】つぎにS36では、撮影したデータが残っているので、S37へ進む。

【0096】S37では、先に転送した部分の続き(RAS101h, CAS00h)からアドレスを設定し、S38でハードディスクに転送し、S31もどる。

【0097】S31で撮影トリガーがOFFであれば、S36へジャンプする。以下トリガーがONにならなければ、S31、S36、S37、S38をくり返し、すべてのデータを転送し終わるとシーケンスは終了する。

【0098】またS32で、メモリに空きが無くなれば、撮影はせずにS36へ、ジャンプするので、十分な空き容量になるまで、ハードディスクへ転送されることになる。

【0099】以上の様に転送することに撮影トリガーの有無を調べ、メモリの空きがある限り、メモリに転送していけば良い。そして、最終的にS36で全てのデータの転送が終了して、本実施例の動作は終了する。

【0100】本実施例では、A/Dを2チャンネルとして説明したが、これは1チャンネルでも、2チャンネル以上でもよい。また、メモリの構成もX4のものでなくともよい。すなわち、A/Dからのデータのビット数やメモリへのビット数は、システムに応じて決めればよい。また、メモリもDRAMによらず、コストと回路規模が問題にならないシステムであればSRAMなど他のメモリにも適用できる。さらにHDTVのような大量のデータを扱うシステムはもちろん通常のNTSC、PALなどのTV方式などにも適用できる。第2の記憶媒体はハードディスクでも、各種メモリカード(DRAM, SRAM, EEPROM, FLASH)でも良い。さら

に第2の記憶媒体は、本体に固定されていても、着脱可能でも良い。

#### 【0101】

【発明の効果】以上に説明したように、第1発明によれば、固体撮像素子から丁度数ライン読み出したところでDRAMのリフレッシュを行うようにしたので、画像の途中で固体撮像素子の読み出しが停止しないので、固体撮像素子の蓄積時間差によるむらが目立たない良好な画像が得られる。

【0102】第2の発明によれば、原画像に所定値を加えてから、暗電流分を引くので、暗電流画像にノイズが入った場合にもノイズ分が相殺されて、原画像に悪影響を与えずに暗電流を減算できる。また、原画像のある画素が飽和している場合には、メモリ上の対応するアドレスに所定値を書き込むので、記録した画像を再生する際に、どの画素が、飽和していたのが容易に識別可能である。したがって、高輝度部の色抑圧などの再生処理が、簡単に実現できる。さらに、システム上、暗電流データは被写体撮影の前後のいずれでもよく、シーケンスの設計上、少ない制限で実現可能であり、被写体像データは、暗電流を減算後、メモリの同じアドレス領域に書き戻されるので、新たなメモリ領域を設ける必要が無く、メモリ容量を有効に活用できる。

【0103】第3乃至第5の発明によれば、メモリに対するアドレスは、その先頭アドレスと終了アドレスを指定する。したがって、部分的な書き込み、読み出しが容易であるため、ハードディスクなどの媒体に分割して、転送できる。これにより、ハードディスクへの転送のために撮影が中断してシャッタチャンスを逃すことが少なくなる。さらに書き込み、読み出しのため、アドレスの指定内容を変えるだけで、画素数の異なる他の多くの種類の固体撮像素子に対応できる。このようにメモリを撮像素子やその他周辺装置と関連させて適切に制御することで、大容量のデータが要求される高精細なカメラにも容易に対応することが可能となる。

#### 【図面の簡単な説明】

【図1】本発明の第1実施例の電子カメラのブロック図である。

【図2】図1中のメモリコントローラのブロック図である。

【図3】図2の続きの図である。

【図4】固体撮像素子データの読み出しを説明した図である。

【図5】固体撮像素子データの読み出しを説明した他の図である。

【図6】リフレッシュタイミング制御に関する回路図である。

【図7】本発明の第2実施例の電子カメラのDRAMの構成図である。

【図8】第2実施例におけるDRAMのアドレス空間を

示す図である。

【図9】DRAMに記憶する動作をタイミングを示す図である。

【図10】本発明の第2実施例の動作を説明するフローチャートである。

【図11】図10の続きの図である。

【図12】図3のレジスタ117と演算部118、さらにその周辺部の詳細なブロック図である。

【図13】第2実施例の演算処理の動作を示すフローチャートである。

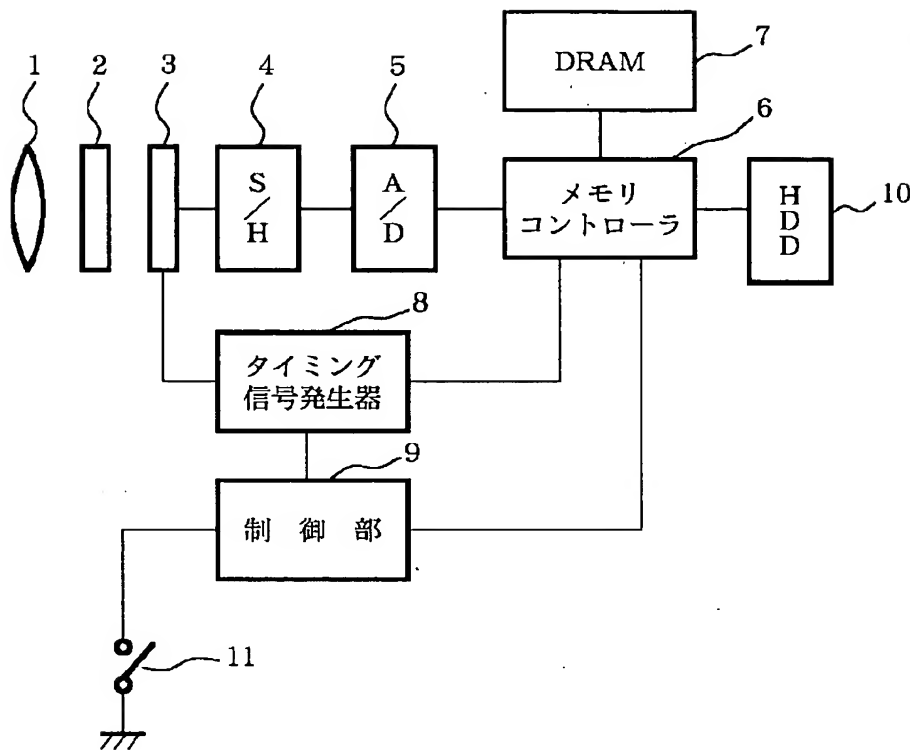
【図14】第2実施例の効果を示す図である。

【図15】本発明の第3実施例の動作を説明するフローチャートである。

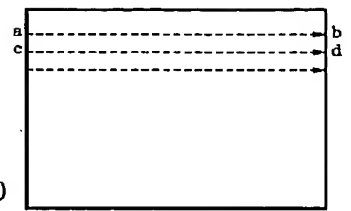
#### 【符号の説明】

- 1 撮像レンズ、
- 2 光量制御部材、
- 3 固体撮像素子、
- 4 サンプルホールド回路
- 5 A/D変換回路
- 6 メモリコントローラ
- 7 RAM、
- 8 タイミング信号発生器
- 9 マイクロコントローラ、
- 10 記憶媒体、
- 11 記録トリガースイッチ、
- 125 システムバス
- 101、102、103、104 DRAMアドレスレジスタ
- 105、107 カウンタ
- 106、108 比較器
- 109 フレッシュサイクル設定用のレジスタ
- 110 レジスタ
- 111 WRITEデータレジスタ
- 112 READデータレジスタ
- 113 定数レジスタ
- 114 カウンタ
- 115 コマンドインタープリタ
- 116 制御部
- 117 レジスタ
- 118 演算部
- 119 バッファ
- 120 バッファ
- 121 データ幅変換器
- 122 ハードディスクインターフェース
- 123 ADデータレジスタ
- 124 データバス
- 126、127 トリガー信号
- 128 コマンドインタープリタ115の出力ライン群
- 129 リフレッシュ要求信号
- 130 アドレスバッファ

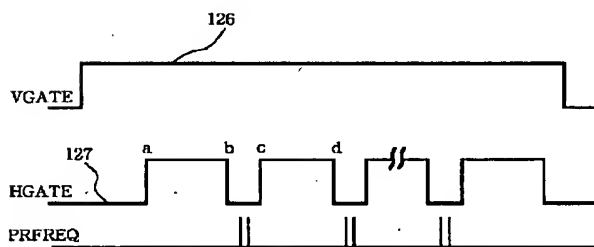
【図1】



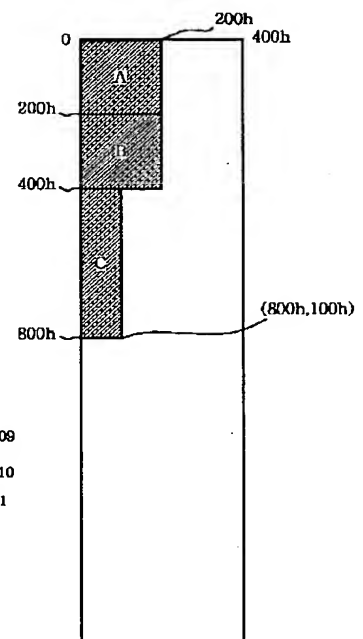
【図5】



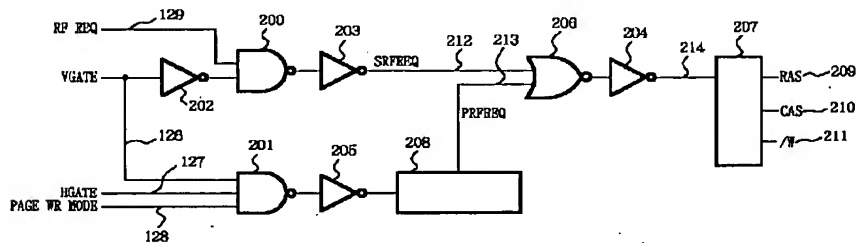
【図4】



【図8】



【図6】

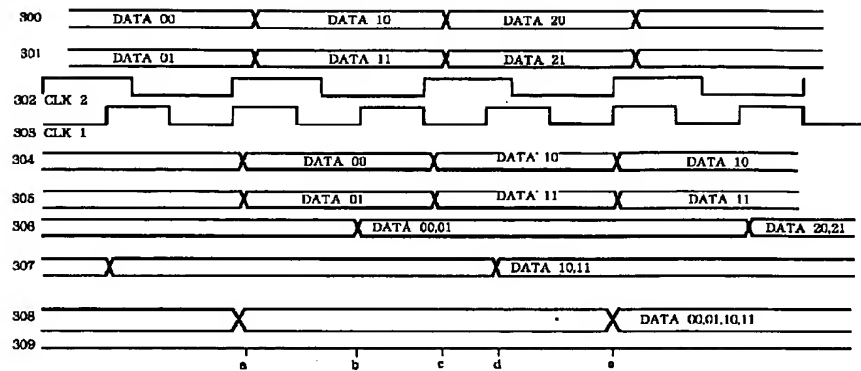


[illegible]

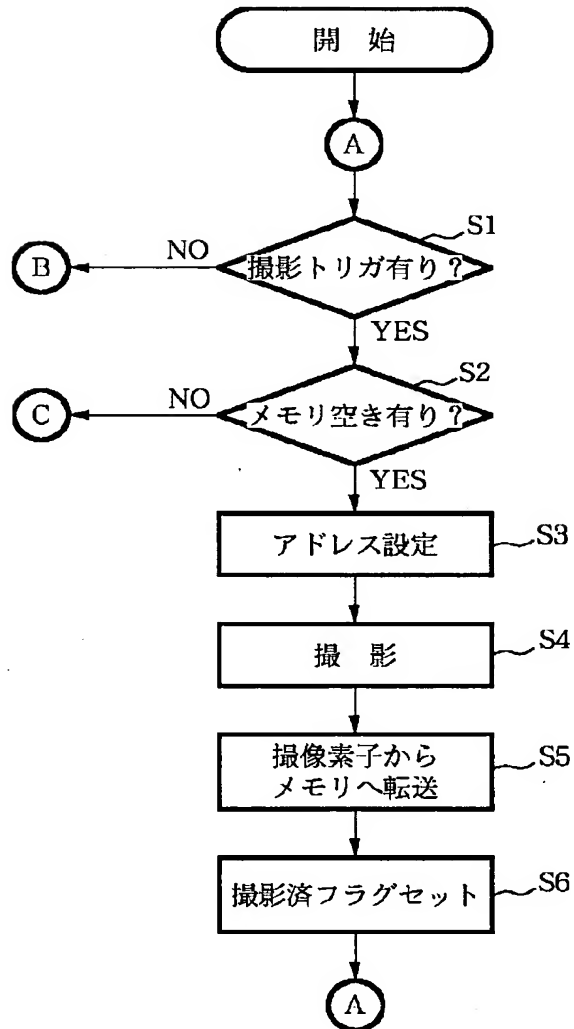
Figure 1 illustrates the memory access pattern for a 32-word array. The diagram shows a vertical stack of 10 DRAM blocks, each representing a 4-word segment (D < 0:3 > to D < 36:39 >). A horizontal line at the top represents the array address space A < 0:11 >. A vertical line on the left represents the array address space RAS < 0:11 >. The diagram illustrates the sequence of memory accesses for a 32-word array, showing how the address space is mapped to the DRAM blocks.



【図9】

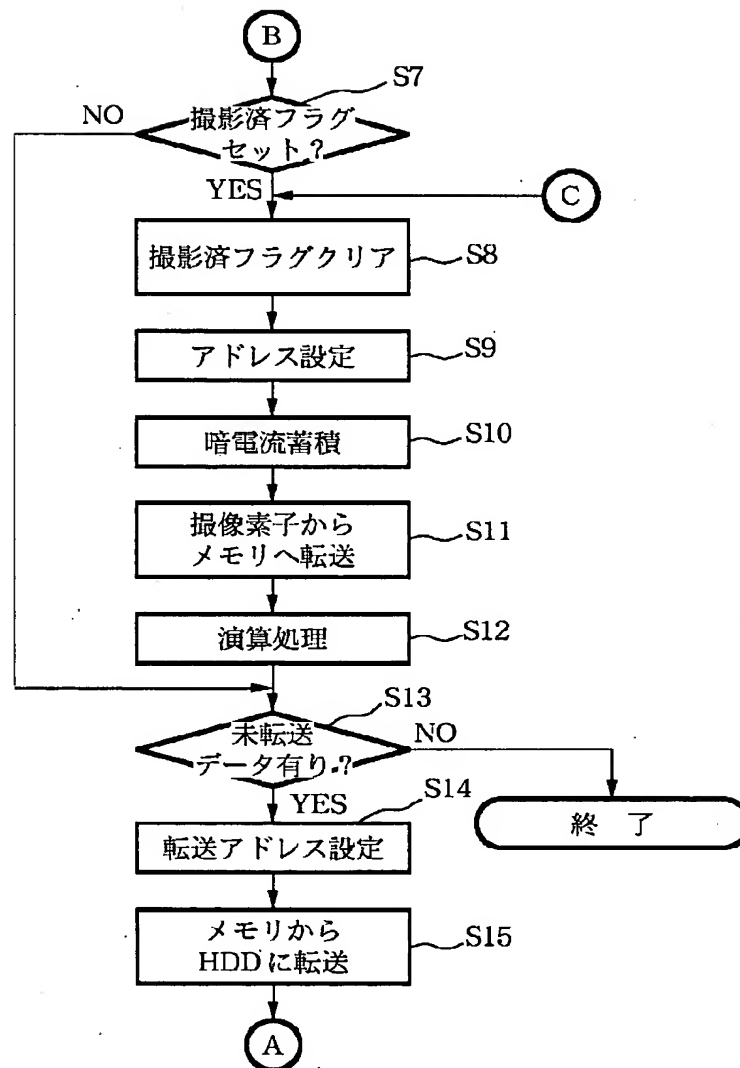


【図10】

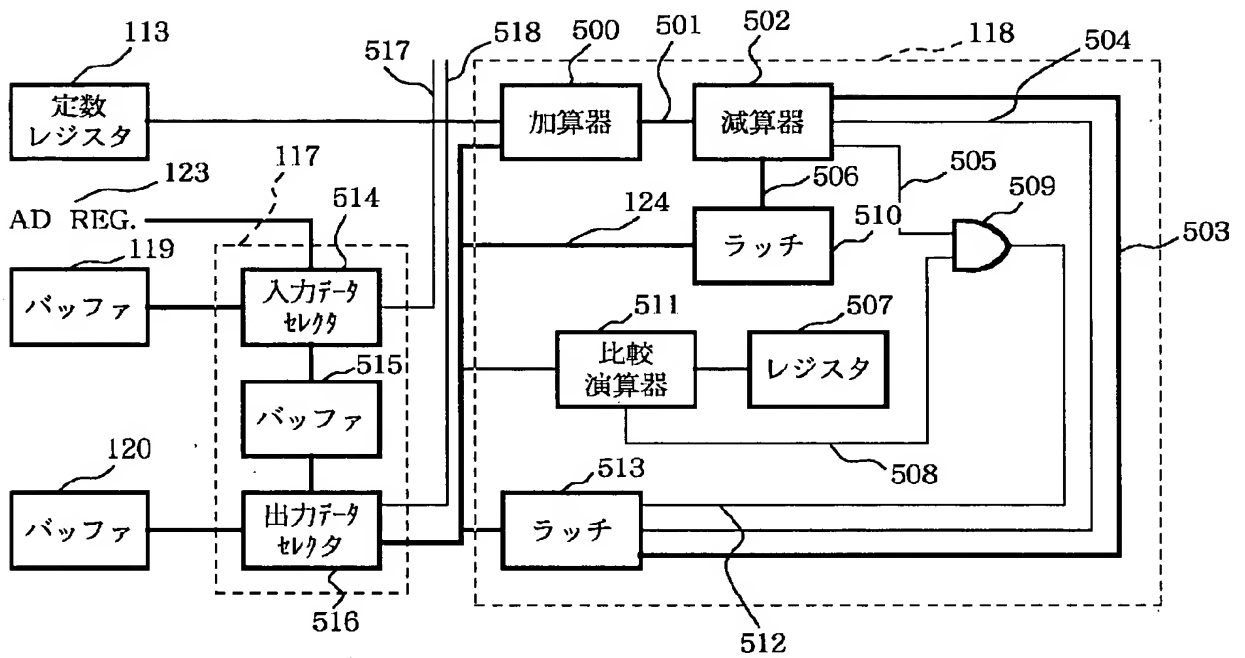




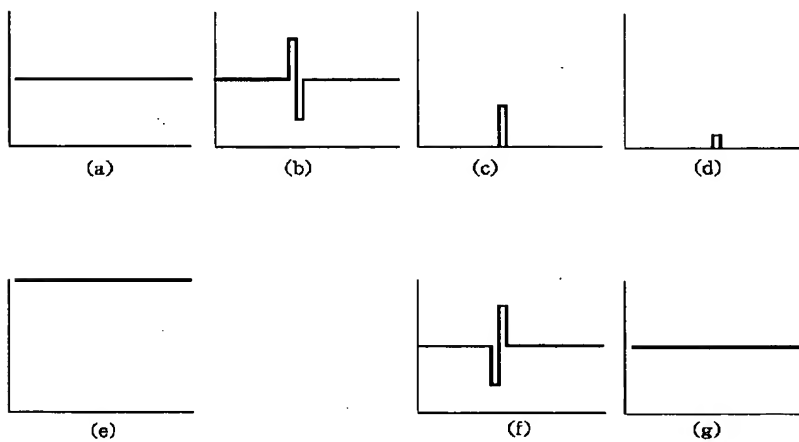
【図11】



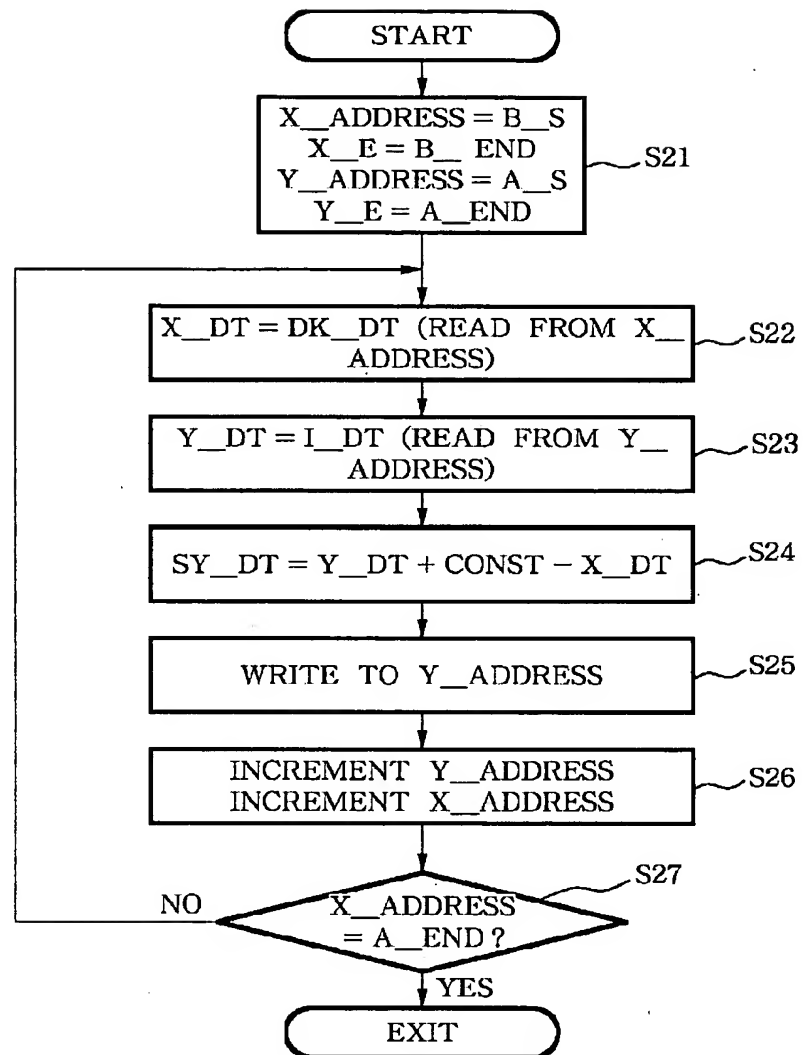
【図12】



【図14】



【図13】



【図15】

